

(19) 日本国特許庁 ( J P )

(12) 公開特許公報 ( A )

(11) 特許出願公開番号

特開平9-8451

(43) 公開日 平成9年(1997) 1月10日

(51) Int. Cl. <sup>6</sup>

H05K 3/34

識別記号

507

7128-4E

F I

H05K 3/34

507 Z

審査請求 未請求 請求項の数34 O L (全11頁)

(21) 出願番号 特願平8-144698

(22) 出願日 平成8年(1996) 6月6日

(31) 優先権主張番号 4 7 6 4 6 6

(32) 優先日 1995年6月7日

(33) 優先権主張国 米国 ( U S )

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72) 発明者 ホルマズディヤール・ミノチェル・ダラル

アメリカ合衆国12547 ニューヨーク州ミルトンキャッセル・ロード 16

(74) 代理人 弁理士 合田 潔 (外2名)

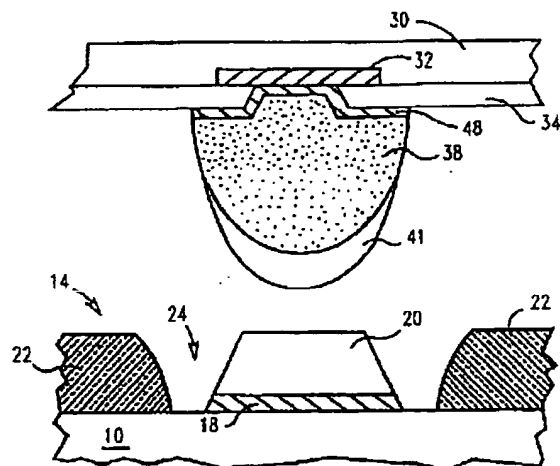
最終頁に続く

(54) 【発明の名称】 チップ実装回路カードを作製する方法

(57) 【要約】

【課題】 コストが低くかつ信頼性が高い直接チップ実装モジュール (DCAM) を作製するための積層回路キャリア・カードを作製する構造および方法を提供する。

【解決手段】 キャリヤは、直接チップ実装に使用できる少なくとも1つの面を有する有機積層キャリアまたは無機積層キャリアを使用して作製される。チップは、低融点金属のキャップを有する少なくとも1つのはんたボールを有する。キャリアの表面には、チップのはんたボール上の低融点金属に直接結合して共融合金を形成する電気フィーチャがあり、これによりチップがキャリアに直接実装される。



## 【特許請求の範囲】

【請求項1】低融点金属キャップを有するリフローはんだボールを有するデバイスを直接実装するためのキャリア・カードを作製する方法において、(a)基板内に少なくとも1つの開口を作製するステップと、(b)前記基板の少なくとも1つの表面上に少なくとも1つの導電性金属を付着し、前記開口の少なくとも一部を前記少なくとも1つの導電性金属でライニングするステップと、(c)前記基板の少なくとも一部に回路パターンをフォトリソグラフィによって画定するステップと、(d)前記基板の少なくとも一部に前記フォトリソグラフィによって画定された回路パターンを形成するステップと、(e)前記基板の少なくとも一部を少なくとも1つの絶縁材料で被覆し、前記開口に前記絶縁材料を充填するステップと、(f)前記絶縁材料の一部を除去し、前記回路パターンの一部を露出させるステップと、(g)少なくとも1つの低融点金属キャップを有する前記リフローはんだボールを有するデバイスを、前記露出した回路パターンに接合し、前記キャップの少なくとも一部が前記露出した回路パターンの一部に結合するようにするステップとを含む方法。

【請求項2】ステップ(f)の後の前記絶縁材料の表面の一部を任意のデバイス実装の前に粗面化することを特徴とする、請求項1に記載の方法。

③【請求項3】前記表面を酸素プラズマを使用して粗面化することを特徴とする、請求項2に記載の方法。

【請求項4】前記基板の一部をスクリーン印刷し、共融はんだを使用してリフローし、かつ前記共融はんだにより面実装部品への電気接続を実現することを特徴とする、請求項1に記載の方法。

【請求項5】前記デバイス・キャリアが、剛性有機積層カード、フレキシブル有機積層カード、剛性無機積層カード、フレキシブル無機積層カードまたはセラミック基板からなるグループから選択されることを特徴とする、請求項1に記載の方法。

【請求項6】前記デバイス・キャリアが、インタポザ、第1のレベルのパッケージ、第2のレベルのパッケージ、またはマザー・ボードからなるグループから選択されることを特徴とする、請求項1に記載の方法。

【請求項7】前記面実装部品への前記接続用のはんだを、スクリーン印刷技法、はんだ注入技法、電気めっきまたは化学めっきからなるグループから選択した方法を使用して付着することを特徴とする、請求項4に記載の方法。

【請求項8】前記リフローはんだボールが、高融点はんだ、低融点はんだまたはC4からなるグループから選択されることを特徴とする、請求項1に記載の方法。

【請求項9】前記デバイスが、有機基板、多層有機基板、セラミック基板、多層セラミック基板または集積回路チップからなるグループから選択されることを特徴と

する、請求項1に記載の方法。

【請求項10】前記リフローはんだボールが前記デバイスの導電性フィーチャの上にあることを特徴とする、請求項1に記載の方法。

【請求項11】前記導電性フィーチャ用の材料が、Au、Co、Cr、Cu、Fe、Ni、Ti、W、整相したCrとCu、およびそれらの合金からなるグループから選択されることを特徴とする、請求項10に記載の方法。

10 【請求項12】前記導電性フィーチャが少なくとも1つの内部導電性フィーチャと電気的に接触することを特徴とする、請求項10に記載の方法。

【請求項13】前記リフローはんだボールが、鉛とスズの合金から構成され、かつ前記合金が約2パーセントから約10パーセントのスズを含むことを特徴とする、請求項1に記載の方法。

20 【請求項14】前記リフローはんだボールが、鉛とスズの合金から構成され、かつ前記合金が約98パーセントから約70パーセントの鉛を含むことを特徴とする、請求項1に記載の方法。

【請求項15】蒸着、電気めっき、またははんだ注入方法からなるグループから選択した方法を使用して、前記リフローはんだボールを前記デバイス上に配置することを特徴とする、請求項1に記載の方法。

【請求項16】高周波蒸着、電子ビーム蒸着、電気めっき、化学めっき、または注入方法からなるグループから選択した方法によって、前記低融点金属の少なくとも1つの層を前記リフローはんだボール上に付着することを特徴とする、請求項1に記載の方法。

30 【請求項17】前記低融点金属キャップ用の前記低融点金属が、ビスマス、インジウム、スズまたはそれらの合金からなるグループから選択されることを特徴とする、請求項1に記載の方法。

【請求項18】前記キャップ付きはんだボールの少なくとも一部が前記デバイス・キャリア上の導電性フィーチャに固定されることを特徴とする、請求項1に記載の方法。

40 【請求項19】前記導電性フィーチャ用の材料が、Au、Co、Cr、Cu、Fe、Ni、Ta、Ti、Ti、W、整相したCrとCu、およびそれらの合金からなるグループから選択されることを特徴とする、請求項18に記載の方法。

【請求項20】前記デバイス・キャリアが、有機回路キャリアまたはセラミック回路キャリアからなるグループから選択されることを特徴とする、請求項18に記載の方法。

50 【請求項21】前記有機回路キャリアが、剛性有機回路キャリアまたはフレキシブル有機回路キャリアからなるグループから選択されることを特徴とする、請求項20に記載の方法。

【請求項 2 2】前記剛性有機回路キャリア用の材料が、エポキシ類からなるグループから選択されることを特徴とする、請求項 2 1 に記載の方法。

【請求項 2 3】前記低融点金属キャップが、前記はんだボールの露出面の約 1 0 パーセント～約 9 0 パーセントをキャッピングすること、好ましくは、前記はんだボールの露出面の約 2 0 パーセント～約 8 0 パーセントをキャッピングすること、さらに好ましくは、前記はんだボールの露出面の約 3 0 パーセント～約 5 0 パーセントをキャッピングすることを特徴とする、請求項 1 に記載の方法。

【請求項 2 4】前記低融点金属キャップが前記はんだボールを完全に密閉することを特徴とする、請求項 1 に記載の方法。

【請求項 2 5】前記デバイスが、I C チップ、コンデンサ、抵抗、回路キャリア・カード、電源または増幅デバイスからなるグループから選択されることを特徴とする、請求項 1 に記載の方法。

【請求項 2 6】前記低融点金属キャップの厚さが、前記はんだボールの体積の約 5 パーセント～約 4 0 パーセントの共融体積、好ましくは前記はんだボールの体積の約 1 0 パーセント～約 3 0 パーセントの共融体積を提供するように選択されることを特徴とする、請求項 1 に記載の方法。

【請求項 2 7】前記低融点金属キャップの平均厚さが約 1 5 マイクロメートル～約 5 0 マイクロメートルであることを特徴とする、請求項 1 に記載の方法。

【請求項 2 8】前記リフローはんだボールが、P b、B i、I n、S n、A g、A u、またはそれらの合金からなるグループから選択されることを特徴とする、請求項 1 に記載の方法。

【請求項 2 9】最大リフロー温度が約 1 8 3℃～約 2 3 0℃であることを特徴とする、請求項 1 に記載の方法。

【請求項 3 0】前記リフローのステップを約 1 5 0℃以上で約 2 分間～約 5 分間行うことを特徴とする、請求項 1 に記載の方法。

【請求項 3 1】最大温度の時間が約 1 5 秒～約 7 5 秒であることを特徴とする、請求項 1 に記載の方法。

【請求項 3 2】前記リフロー・ステップを、乾燥窒素、フォーミング・ガスまたは水素からなるグループから選択した環境内で実施することを特徴とする、請求項 1 に記載の方法。

【請求項 3 3】前記加熱が少なくとも 1 つの集束赤外線ランプによって行われることを特徴とする、請求項 1 に記載の方法。

【請求項 3 4】デバイスを接合するステップが、(a) デバイスのはんだボールをデバイス・キャリアの絶縁材料内の対応する開口と位置合せするステップと、(b) はんだフラックスによって生じる表面張力によってチップを適所に保持するステップと、(c) はんだをリフロ

ーしてチップをデバイス・キャリアに結合するステップと、(d) チップを少なくとも 1 つのエポキシで被覆するステップとを含むことを特徴とする、請求項 1 に記載の方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、一般に、改善された直接チップ実装回路カードに関する。さらに詳細には、少なくとも 1 つの集積回路チップを有機積層回路カードに直接実装することができる構造に関する。この直接実装は、はんだボール技術を使用し、チップ上のすでにリフローはんだボールを、スズなど、少なくとも 1 つの低融点材料のキャッピング層でキャッピングすることによって行うことができる。そのような回路カードへの直接チップ実装の方法も開示する。

【0 0 0 2】

【従来の技術】半導体デバイスは、新しい技術の発展とともに小型化、高密度化しつつある。しかしながら、回路密度が高くなると、それに応じて、競争力を維持するためにチップおよびチップ接続を改善するという課題が生じる。したがって、チップ・メーカーは、製品を識別し改善することによって製品の質を改善することを絶えず迫られている。一方、プロセスのばらつきを小さくすることによって、大幅なプロセスの改善が行われている。プロセスの改善だけでは、これらの製品の歩留りと信頼性の両方を高めるには不十分である。

【0 0 0 3】一般に、電子製品は複数の部品から構成される。これらの部品のパッケージングは、階層に従って行い半導体マイクロデバイスから構成される集積回路

(I C) チップを、金属相互接続線の 1 つまたは複数の層を含むセラミックまたは有機ラミネートできたキャリアに接続する (第 1 レベルのアセンブリ)。これらのキャリアは、コンデンサ、抵抗などの離散デバイスも含む。ある種の密封冷却方法とともに、このようにしてアセンブルした I C チップを有するキャリアは、モジュールと呼ばれる。これらのモジュールを、通常カードの両面にプリント基板を有する有機ラミネートできたカードに接続する (第 2 レベルのアセンブリ)。次いで、これらのカードをボードに接続する (第 3 レベルのアセンブリ)。アセンブリのレベルの数は、主として所要の機能の複雑さによって決まる。

【0 0 0 4】第 1 レベルまたはチップ・レベルの相互接続技術には次の 3 つの主要なものがある。すなわち、例えば C 4 (Controlled Collapse Chip Connection) 法など、ワイヤ・ボンディング (W B) 法、テープ自動式ボンディング (T A B) 法およびソルダ・ボンディング (S B) 法である。

【0 0 0 5】現在市販されている多くの製品では、一般に、チップをカードまたはボード上に直接ボンディングするので第 1 レベルのパッケージが不要である。これに

より、パッケージの小型化、簡単化および低コスト化が可能となる。低コスト製品の場合、チップをカード上に直接接続する最も一般的な方法は、ワイヤ・ボンディング(WB)法であった。テープ自動ボンディング(TAB)法は、TAB自体が第1のレベルのアセンブリであると考えられるので、今や、チップをカード(またはボード)上に直接実装するのに広く一般に使用されるようになった。第2に、その機械的フレキシビリティのために、フレキシブル回路キャリア上にチップを実装するのに適している。

【0006】しかしながら、超大規模集積回路チップおよび超々大規模集積回路チップの出現とともに、チップ上の入出力(I/O)端子の数が非常に増大し、I/Oパッドの間隔を密にする必要があるだけでなく、I/Oパッドのアレイ・パターンも必要となった。

【0007】アレイ・パターンの要件により、ワイヤ・ボンディング法およびTAB法が適用できなくなる。

【0008】これらの方法を使用する場合の他の制限要因は、これらの搭載したチップのテストまたはバーニンが困難なことである。このため、カードの歩留りが制限され、したがって製品が高価になる。

【0009】他の欠点は、再加工が経済的に実現不可能であることである。

【0010】これらの制限要因のために、チップをカード上に直接接合するC4法などの技法を使用する必要がある。

【0011】C4法すなわちControlled Collapse Chip Connection法は、チップのセラミック・キャリア上への第1のレベルのアセンブリに使用されて成功を収めてきた。C4技術は、多くの著者によって詳細に記載されている。例えば、その開示を参照により本明細書の一部とする、ラーオ・R. トゥンマラ(Rao R. Tummala)およびユージン・J. リマシェフスキ(Eugene J. Rymaszewski)編、Microelectronics Packaging Handbook、366-391頁(1989)を参照のこと。

【0012】C4相互接続は、ボール制限メタラジ(BLM)と呼ばれるはんだリフロー可能パッドと、はんだのボールの2つの主要な要素から構成される。BLMは、CrやTiWなどの接着層と、銅やニッケルなどのはんだリフロー可能層とから構成される。BLM材料およびそれらの厚さは、構造を相互接続する際に良好かつ確実な電氣的、機械的および熱的な安定性が得られるように慎重に選択される。C4に使用されるはんだ材料は、低い比率(約2パーセントないし約10パーセント)のスズを鉛と合金化したものが好ましい。この組合せは、最初、相互接続の次のレベルの際に、リフローはんだボールまたはC4が溶解するのを防止するのに使用していたが、現在は、主として(i)過剰な銅とスズの金属間化合物に起因する大きい応力が下地の不動態化皮膜に大きい応力を集中させるとき、BLMの銅とスズの

間の反応を小さくするため、および(ii)スズの比率が小さいことによって生じる熱疲労特性を改善するために使用される。

【0013】現在、第2のレベルまたはその上のレベルのアセンブリに関して、すなわちカード上への直接チップ実装(DCA)に関して、現行のC4技術の使用を制限している2つの問題がある。第1に、第2のレベルの相互接続がピン・スルーホール(PTH)技術に限られ、また、SMTはんだの融点よりも高い接合温度が必要であるので、費用効果が高く場所をとらない面実装技術(SMT)が使用できない。第2に、比較的高い接合温度(340℃~380℃)によりカードの有機物が炭化する。

【0014】DCAの接合温度を下げるには2通りの方法がある。1つの方法は、共融(または低融点)はんだをカード・メタライゼーション上に設けることである。この方法に関係する方法は、現在本特許願の譲渡人に譲渡された、レッグ(Legg)およびシュロトケ(Schrottke)の米国特許第4967950号に記載されている。上記特許は、C-4を使用して回路チップをフレキシブル基板(ラミネート)に実装する一般的な方法を記載している。基板は、チップのベース上のはんだボールを有する接触領域内で共融成分の合金で「スズめっき」される。

【0015】共融はんだによってカードまたは有機キャリアを事前被覆する方法は、その開示を参照により本明細書の一部とする、1995年2月13日出願のファロン(Fallon)他の米国特許出願第08/387686号、「Process for Selective Application of Solder to Circuit Packages」に教示されている。この方法では、共融はんだをプリントカードの銅導体上の、チップC4パンプがそこに接触する正確な個所に電気メッキする。

【0016】DCA(直接チップ実装)の接合温度を下げる他の方法は、低融点はんだをキャリア導体上ではなくチップC4上に設けることである。本願の譲渡人に譲渡された、ケアリー(Carey)他の米国特許第5075965号、およびアガルワラ(Agarwala)他の米国特許第5251806号および第5130779号、およびエイジ(Eiji)他の特公昭62-117346号は、低融点はんだをチップ上に設ける様々な方法を記載している。

【0017】米国特許第5075965号は、不均一な異方性カラムが、共融合金を形成するのに十分な厚さの鉛リッチな底面とスズ・リッチな上面とから構成される方法を開示している。その場合、得られた付着したままでリフローしていないカラムをカードの導体上に接合する。

【0018】内部拡散が熱力学的に駆動される傾向を回避するために、米国特許第5251806号および第5

10

20

30

40

50

130779号は、バリヤ金属層を挿入することによって低融点成分を高融点成分から分離した構造を開示している。この構造は、はんだ材料の階層を示すが、この構造では、高融点ははんだのカラムがリフローしない。スタック化したはんだはリフローしないので、はんだスタックとボール制限メタラジ(BLM)の接着パッドとの間にメタラジ反応が起こらない。その結果、C4接合の機械的完全性が劣化することが分かっている。

【0019】特公昭62-117346号は、低融点はんだおよび高融点はんだの異方性カラム構造を記載している。この発明の基本的な目的は、本質上、低融点はんだ接合プロセスの代わりに、はんだ接合の高さを増すことである。上記特許では、高融点金属層をチップに固定し、次いで基板と低融点金属層を形成する。次いで、2つの低融点金属層を接合し、それによりチップを基板に接合する。

【0020】W. A. ドーソン(Dawson)他、「Indium-Lead-Indium Chip Joining」、IBMテクニカル・ディスクロージャ・ブルテン、Vol. 11、No. 11、1528頁(1969年4月)は、拡散ボンディング用のインジウムまたはスズによる鉛の標準的キャッピングを開示している。基板の表面上にチップが圧潰する問題を緩和するために、中間温度を使用する。

【0021】本発明では、完全に低融点成分から構成されるバンパは、高含有率のスズが接着層(ボール制限メタラジ、BLM)のすべての銅と反応して厚い金属間層を与えるので、回避すべきフィーチャである。反応したBLMの大きい応力が原因で、はんだパッドが剥がれたり、絶縁亀裂が生じることが分かっている。共融はんだバンパはまた、電気移動度が不十分であり、熱疲労寿命が短い。また、低融点共融はんだには、熱移動によってボイドが形成し回路故障を引き起こす問題があることが周知である。

【0022】不均一異方性はんだカラムの他の欠点は、この構造が、電気プローブが低融点キャップに貫入しチップを破壊するので、チップをキャリアに接合する前に回路を電気テストするのに不向きなことである。さらに、また、チップ・バーンインに関して、一般にバーンインに使用される温度は120℃~150℃であり、したがって接合操作を開始する前でも、低融点成分および高融点成分の内部拡散が起こることになるので、周知のどの多層はんだボールも使用することができない。

【0023】本発明は、一般に、電子回路パッケージに関し、さらに詳細には、スズ・キャップ付きはんだC4ボールを有するICチップを本発明に従って設けた有機積層回路キャリアに接合することによって直接実装モジュールを作製する新しいはんだ相互接続技術に関する。

【0024】本発明によれば、有機積層回路カード、または面実装技術またははんだボール技術によって、パッケージの次のレベルに対して温度適合性を有するI

Cチップ接合用のインタポーザを作製する方法が提供される。

【0025】本発明はまた、剛性またはフレキシブルな有機マイクロエレクトロニクス回路カード上にICチップを有機カードの低温加工要件に適合するように、また一般に高位レベルの相互接続に使用される面実装技術またははんだボール技術に適合するように低い温度で接合するための信頼できるメタラジ・システムを提供することに関する。

【0026】

【発明が解決しようとする課題】本発明の一目的は、新規のはんだ相互接続方法を使用して直接チップ実装用の有機積層回路カードを作製する方法を提供することである。

【0027】本発明の他の目的は、アセンブリの次のレベルに関して面実装技術と適合する、C4技術によって上記で加工した有機積層回路カード上に実装されたスズ・キャップ付きC4相互接続ICチップから構成される直接チップ実装モジュールを製造することである。

【0028】本発明の他の目的は、剛性またはフレキシブルな有機回路キャリア上にICチップを直接実装する個別チップ接合方法を提供することである。

【0029】本発明の他の目的は、チップを除去および交換するフレキシビリティを有する、マザーボードにICチップを直接実装する個別チップ接合方法を提供することである。

【0030】本発明の他の目的は、低コストかつ製造が容易な半導体モジュールを提供することである。

【0031】本発明の他の目的は、低融点相互接続メタラジをICチップ上に設けることである。

【0032】本発明の他の目的は、複数の接合サイクルに耐えられる半導体モジュールを得ることである。

【0033】本発明の他の目的は、歩留りを高めることおよび高い信頼性を有する接合を得ることである。

【0034】本発明の他の目的は、ウェハ・レベルの電気テストおよびバーンインに適合するモジュールを得ることである。

【0035】

【課題を解決するための手段】本発明は、新規のはんだ相互接続方法を使用して回路カードへの直接チップ実装を行う新規の方法および構造である。

【0036】具体的には、低融点金属キャップを有するリフローはんだボールを有するデバイスを直接実装するためのキャリア・カードを作製する方法において、

(a) 基板内に少なくとも1つの開口を作製するステップと、(b) 前記基板の少なくとも1つの表面上に少なくとも1つの導電性金属を附着し、前記開口の少なくとも一部を前記少なくとも1つの導電性金属でライニングするステップと、(c) 前記基板の少なくとも一部に回路パターンをフォトリソグラフィによって画定するステ

ップと、(d) 前記基板の少なくとも一部に前記フォトリソグラフィによって画定された回路パターンを形成するステップと、(e) 前記基板の少なくとも一部を少なくとも1つの絶縁材料で被覆し、前記開口に前記絶縁材料を充填するステップと、(f) 前記絶縁材料の一部を除去し、前記回路パターンの一部を露出させるステップと、(g) 少なくとも1つの低融点金属キャップを有する前記リフローはんだボールを有するデバイスを、前記露出した回路パターンに接合し、前記キャップの少なくとも一部が前記露出した回路パターンの一部に結合するようにするステップとを含む方法を与えるものである。

【0037】したがって、1つの形態では、本発明は、低融点金属キャップをリフローはんだボールを有するデバイスに直接実装するためのデバイス・キャリアを作製する方法を含み、この方法は、(a) 基板に少なくとも1つの開口を作るステップと、(b) 前記基板の少なくとも一部の表面上に少なくとも1つの導電性金属を付着し、かつ前記開口の少なくとも一部を前記少なくとも1つの導電性金属でライニングするステップと、(c) 前記基板の少なくとも一部の表面上にリソグラフィによって回路パターンを画定するステップと、(d) 前記基板の少なくとも一部の表面上に前記リソグラフィによって画定された回路パターンを形成するステップと、(e) 前記基板の少なくとも一部を少なくとも1つの絶縁材料で被覆し、かつ前記開口を前記絶縁材料で充填するステップと、(f) 前記絶縁材料の一部を除去し、前記回路パターンの一部を露出させるステップと、(g) 前記露出した回路パターンに、少なくとも1つの低融点金属キャップを有する前記リフローはんだボールを有するデバイスを接合して、前記キャップの少なくとも一部を前記露出した回路パターンの一部に接合させるステップとを含む。

【0038】他の形態では、本発明は、デバイス・キャリアと、共融合金を形成する少なくとも1つの低融点材料のキャップを有する少なくとも1つのはんだボールによってそれに電氣的に接続されたデバイスとを含む電子カード構造を含む。

【0039】新規であると信じられる本発明の特徴、および本発明に特徴的な要素は、添付の特許請求の範囲に詳細に記載されている。図面は、例示のためのものにすぎず、一律の縮尺では描かれていない。さらに、同じ番号は図面の同じ特徴を表す。しかしながら、本発明自体は、その編成と操作方法の両方に関して、添付の図面に関して行う以下の詳細な説明を参照すれば、最もよく理解できよう。

#### 【0040】

【発明の実施の形態】本発明は、基本的に、銅など、金属導線を有する積層有機絶縁物から構成される回路キャリアに関する。キャップを有するリフローはんだボールを有するデバイスに電氣的に接続されるサイトに開口を

つくる。また、接着およびデバイスの封止材の流れを改善するために、デバイス・キャリアの表面のアッシングを行うことができる。また、はんだペーストを積層パネルの背面に塗布し、例えば、面実装技術(SMT)を使用する接続の次のレベルのために赤外加熱を使用してリフローする。

【0041】また、直接チップ実装モジュール(DCAM)の形成も開示する。これは、チップ上に低融点金属の被覆を有するはんだボールを、有機ラミネート回路キャリア・カード上の対応するフットプリントに位置合わせすることによって行う。次いで、アセンブリを約150℃のバイアス温度に保ち、次いでチップを窒素ガス環境内で、好ましくは赤外加熱によって200℃～220℃の温度にまで加熱する。次いで、アセンブリを冷却し、チップを、好ましくはその開示を参照により本明細書の一部とする米国特許第4999699号(Christie等)に開示されているような封止材で封止する。

【0042】本発明の利点は、この方法がパッケージングのすべてのレベル、すなわちマザーボードへのチップ接合をも含む最高レベルのパッケージングに適用できることである。加工は、このステップ、すなわち第1レベルのパッケージングまたは第2レベルのパッケージングで完了する。モジュールは、現在SMTによる接合の次のレベルを実施する準備ができており、あるいは当技術分野で周知の他の方法も使用できる。

【0043】本発明は、基本的に、一定量の共融合金を形成するのに十分なはんだマスだけを有するリフローはんだマス合金の上に低融点金属が付着されるという予期しない結果として生まれた。また、共融融解サイクルを複数回繰り返した後でも、比較的小さいまたはそれ以下の内部拡散が起こることが分かった。したがって、バリヤを必要とせずに、固体はんだマスの上に所望の量の共融液体が形成される。回路キャリアの銅相互接合上に接合した後でも、接合温度を共融温度にまで上げると、一定量の共融液体が残る。すなわち、接合界面における液体形成は、ボード上の他の部品に機械的または熱的に影響を及ぼすことなくチップを交換する目的で接合したチップを容易に除去できる理想的な状態を提示する。

【0044】パッケージング基板の高位レベルのいずれかに直接低温でチップを実装するための、低融点金属合金のキャップを有するはんだボールを使用したはんだ相互接合を開示する。標準的な方法を使用してはんだボールを形成した後、はんだボールの合金成分を均一にし、また表面をなめらかにするためにそれをリフローする。スズ、好ましくは純スズの層をはんだボールの上部に付着する。この構造では、低温リフロー・サイクルを複数回繰り返した後でも、次の低温接合サイクル時に形成される共融合金が高融点はんだボールの上部に制限される。この方法は、チップをそれに接合するキャリアまたは基板をスズめっきする必要がなく、したがって経済的

である。また、構造では、温度を共融温度よりもわずかに上げると常に銅線との接合のまわりに液体フィレットが形成されることが分かった。この液体フィレット形成の結果、界面での応力が低下するので、熱疲労寿命が大幅に改善される。第2に、チップ交換および現場修理のためのチップを除去する簡単な手段が得られる。

【0045】チップを回路キャリア・カードに直接実装してDCAMを形成した後、DCAMは、面実装技術（SMT）など、アセンブリの次のレベルに接合できる。

【0046】これらの方法、技法およびメタラジ構造では、任意の複雑さのデバイスを任意の基板に、またパッケージング階層の任意のレベルに直接実装することができる。したがって、製品がよりコンパクトになるだけでなくより経済的になる。

【0047】次に、図1ないし図5（同じ番号は同じまたは類似の部品を表す）を参照すると、図1に、ラミネート10に内部回路形成操作および積層操作を施した後の、カード25の断面図が示されている。カード25には、穴または開口12が掘削または穿孔または形成される。カード25は、回路カードまたは有機ラミネートまたは無機ラミネートまたはフレキシブル・ケーブルから選択できる。回路カード25は、例えばチップを実装するための第1の面すなわち上面14と、例えばSMT（面実装技術）を実装するための第2の面すなわち底面16とを有する。カード25の上面14および底面16の上に少なくとも1つの銅20の層を形成し、好ましくは電気メッキする。また、この銅20の付着の結果、開口12の内部に銅が形成され、したがってそれぞれ上面14と底面16の間に電氣的に連続した経路が形成される。銅20のラミネート10への接着を促進するために、銅20を付着する前に、上面層14、底面層16、および開口12の壁面の上に非常に薄い層を付着することが好ましい。標準的なフォトリソグラフィを使用して、所望の回路パターンを銅層20内に化学的または電気化学的にエッチングする。回路パターンは、それぞれカード25の上面14と底面16の両方の上に形成またはエッチングする。

【0048】図2に、上面14、底面16、およびビア・ホール12を少なくとも1つの絶縁材料22の層で被覆した後の、図1のカード25の回路の断面図を示す。絶縁材料22は、感光性材料が好ましい。絶縁材料22は、カード25のすべての露出面上にスクリーン印刷される。

【0049】図2のこのスクリーン印刷済み回路カード25を次いで80℃で事前焼成する。まず、第1の面14を事前焼成し、次いで第2の面16を事前焼成する。この事前焼成により穴12が絶縁材料22で閉じられる。絶縁材料22は、穴12用の閉塞材の役目をするだけでなく、後で詳細に考察する開口24および26内へ

のはんだの横流れを防止するダムの役目をする。

【0050】次に、開口24および26を絶縁材料22中に形成する。基本的に、適切なフォト・マスクをカード25の両面上で位置合せさせ、露光し、例えば炭酸ナトリウム溶液などの現像液を使用して現像し、それによってカード25の前面側または上面側にICチップ30のC4はんだボール38用の開口24、およびカード25の背面側または底面側にSMT接続用の開口26を生成する。基本的に、開口24は、図4および図6に示されるチップ30が回路カード25に接続されるように作られる。一方、開口26は、この回路カード25をボードまたはその他の電子デバイス（図示せず）に固定するのに使用できる。

【0051】次に、事前焼成した回路カード25を150℃で硬化させる。この硬化プロセスでは、図4により明確に示されるように、開口24および26が拡大され、ICチップからカード25へのはんだボールの実装、およびSMTパッド36の実装が容易になる。次に、回路カード25の上面14を圧力130mTで約30分間酸素アッシングさせる。この酸素アッシングによりカード25の表面が粗くなる。この表面粗さにより、後工程で使用するチップ封止材の流動性が改善される。

【0052】また、開口24内の銅20の表面を保護するために、容易に酸化可能な有機材料の薄い層を上面14の上に被覆することもできる。

【0053】次に、はんだペースト、好ましくは共融Pb-Snはんだペーストを第2の面16の上に塗布して、SMTコンタクト開口26を満たし、はんだパッド36を形成する。次いでこれを約200℃の温度で赤外加熱してはんだ36をリフローさせて、はんだボールの外形を得る。

【0054】図3に、少なくとも1つの共融はんだ被覆36をSMTパッド用に形成した後の、回路カード25を示す。

【0055】回路カード25がすでに片面（図示せず）にSMT部品を有している場合、共融はんだペーストをスクリーン印刷するがリフローさせないことが好ましい。

【0056】図4は、低融点金属キャップ付きはんだボールを有するICチップ30が、単一のステップで回路カード25に直接接合された直接チップ実装モジュール（DCAM）50を示す本発明の構造の断面図を示す。一方、図6は、図4のA-Aの拡大断面図である。低融点金属キャップを有するはんだボール38を有するICチップ30を、ウエハ可溶性または非清浄はんだフラックス（図示せず）を使用して、回路カード25の第1の面14の上に位置合せする。

【0057】次いで、このアセンブリを好ましくはベルト型炉でリフローさせる。DCAM50が約155℃以上で約3分ないし5分間経過した場合、および約190

℃～約 230℃の最大温度で約 15 秒ないし約 75 秒経過した場合の温度プロファイルが得られるように、ベルト速度およびゾーン温度を調整することが好ましい。より低い最大温度を得るには、最大温度でより多くの時間をかける必要があることに留意されたい。

【0058】加熱サイクル中、はんだボール 38 上の低融点金属キャップ 41 は、はんだボール 38 と合金化し、138℃で融解する共融成分を形成する。共融液体の体積は、露出した銅 20 を包囲するのに十分であり、この共融液体の表面張力により、回路カード 25 上の露出した銅 20 にチップ 30 が自己位置合せされる。リフロー温度サイクルでは、保護層、およびもしあればフラックスも蒸発し、したがって追加の清浄化は不要である。

【0059】チップ 30 と回路カード 25 の間の電気接続を保護するために、チップ 30 の下および上に適切な封止材を設け、硬化させることができる。使用できる適切な封止材のいくつかは、本特許願の譲渡人に譲渡された、その開示を参照により本明細書の一部とする米国特許第 4999699 号 (クリスティー (Christie) 他) に開示されている。酸素アッシング・ステップでは、チップ 30 の下の封止材の流れがかなり改善されることが分かっている。この封止材 (図示せず) は、主としてチップ 30 とカード 25 の間に形成される電気接続を保護する。

【0060】図 5 は、はんだボール 38 上の低融点金属のキャップ 41 を有する IC チップ 30 を回路カード 25 に接合する前の拡大断面図である。はんだボール 38 は、BLM48 に固定される。内部金属配線 32 は、IC チップ 30 からキャップ 41 までの電気接続を行う。低融点金属キャップ 41 は、ビスマス、インジウム、スズまたはそれらの合金からなるグループから選択することが好ましい。はんだボール 38 は、高融点はんだ、低融点はんだまたは C4 からなるグループから選択する。また、一方、はんだボール 38 用の材料は、Pb、Bi、In、Sn、Ag、Au またはそれらの合金からなるグループから選択する。選択されるキャップ 41 用の好ましい材料は、共融合金を形成するようなものである必要があることに留意されたい。

【0061】図 6 は、はんだボール 38 上の低融点金属のキャップ 41 を有する IC チップ 30 を回路カード 25 に固定した後の、図 4 の A-A の拡大断面図である。キャップ 41 は、それをリフローした場合に共融合金 43 を形成し、はんだボール 38 を銅配線 20 に接合する。

【0062】絶縁物材料の層 34 は、チップ 30 の表面を保護することが好ましい。はんだボール 38 は、高融点はんだボール、例えば、約 97% の鉛と約 3% のスズを有するなどのはんだボールであり、それをボール制限メタラジ 48 の上に形成することが好ましい。はんだボ

ール 38 は、はんだ付着の蒸着方法または電気めっき方法によって形成することができる。本発明の発明ステップをはんだボール 38 に適用する前に、ウエハ・テストなど、半導体のすべての加工ステップが終了し、はんだがリフローして球形に戻っていることが好ましい。

【0063】IC チップ 30 は、複数のデバイス (図示せず) が従来の方法によって形成され、かつ 1 つまたは複数の層内で IC チップ内部配線によって相互接続された半導体ウエハであることは明白である。

【0064】また、接続プロセスの前、中および後のモジュール 25 または 50 の加熱は、少なくとも 1 つの集束赤外線ランプ (図面には図示せず) を使用して行うことができることに留意されたい。

【0065】当業者には、回路キャリア基板 25 は、片面または (図示のように) 両面に 1 つまたは複数の層の内部配線 (図示せず) または配線チャネルを備えて、剛性またはフレキシブルな形態で、セラミックまたは有機材料で作製できることが明らかであろう。

【0066】

【実施例】以下の例は、本発明を詳細に例示するものであり、本発明の範囲をいかなる形でも限定するものではない。

【0067】実施例 1

有機回路キャリア・カード 25 を本発明のプロセスごとに IC チップ 30 を受容するように加工した。カード 25 の前面側または上面側を C4 はんだ相互接続を介してチップ 30 を実装するように準備し、カードの底面側または背面側を SMT を使用して高位レベル・パッケージングに接合できるように準備した。穴 24 の直径は、銅パッドまたはランド 20 の幅よりも約 0.1 mm (4 ミル) 長いことが好ましく、それによって共融合金 43 が銅パッド 20 のすべての面上を流れ、機械的硬さが得られる。

【0068】実施例 2

本発明の他の実施形態では、プリント回路と、本発明の「従来の技術」の項に列挙した各種の方法のいずれかによって実装した 0 個、1 個または複数個の IC チップおよびデバイスを含むマザーボードを使用した。マザーボード内のプリント回路の銅配線内の開口は、ボードの製造時に作製した。スズキャップ 41 を有する C4 はんだボール 38 を有する IC チップ 30 を銅パッド 20 に位置合せし、上述のように従来の個々の赤外加熱を使用してカード 25 に接合した。

【0069】以上、本発明について特定の好ましい実施形態と関連して詳細に説明したが、上記の説明に照らせば、多くの改変、修正および変更が可能であることを当業者なら理解するであろうことは明白である。したがって、添付の特許請求の範囲は、本発明の真の範囲および精神に含まれるそのようなあらゆる改変、修正および変更を含むものとする。



【0070】まとめとして、本発明の構成に関して以下の事項を開示する。

【0071】(1) 低融点金属キャップを有するリフローはんだボールを有するデバイスを直接実装するためのキャリア・カードを作製する方法において、(a) 基板内に少なくとも1つの開口を作製するステップと、

(b) 前記基板の少なくとも1つの表面上に少なくとも1つの導電性金属を付着し、前記開口の少なくとも一部を前記少なくとも1つの導電性金属でライニングするステップと、(c) 前記基板の少なくとも一部に回路パターンをフォトリソグラフィによって画定するステップと、(d) 前記基板の少なくとも一部に前記フォトリソグラフィによって画定された回路パターンを形成するステップと、(e) 前記基板の少なくとも一部を少なくとも1つの絶縁材料で被覆し、前記開口に前記絶縁材料を充填するステップと、(f) 前記絶縁材料の一部を除去し、前記回路パターンの一部を露出させるステップと、(g) 少なくとも1つの低融点金属キャップを有する前記リフローはんだボールを有するデバイスを、前記露出した回路パターンに接合し、前記キャップの少なくとも一部が前記露出した回路パターンの一部に結合するようにするステップとを含む方法。

(2) ステップ(f)の後の前記絶縁材料の表面の一部を任意のデバイス実装の前に粗面化することを特徴とする、上記(1)に記載の方法。

(3) 前記表面を酸素プラズマを使用して粗面化することを特徴とする、上記(2)に記載の方法。

(4) 前記基板の一部をスクリーン印刷し、共融はんだを使用してリフローし、かつ前記共融はんだにより面実装部品への電気接続を実現することを特徴とする、上記(1)に記載の方法。

(5) 前記デバイス・キャリアが、剛性有機積層カード、フレキシブル有機積層カード、剛性無機積層カード、フレキシブル無機積層カードまたはセラミック基板からなるグループから選択されることを特徴とする、上記(1)に記載の方法。

(6) 前記デバイス・キャリアが、インタポーザ、第1のレベルのパッケージ、第2のレベルのパッケージ、またはマザー・ボードからなるグループから選択されることを特徴とする、上記(1)に記載の方法。

(7) 前記面実装部品への前記接続用のはんだを、スクリーン印刷技法、はんだ注入技法、電気めっきまたは化学めっきからなるグループから選択した方法を使用して付着することを特徴とする、上記(4)に記載の方法。

(8) 前記リフローはんだボールが、高融点のはんだ、低融点のはんだまたはC4からなるグループから選択されることを特徴とする、上記(1)に記載の方法。

(9) 前記デバイスが、有機基板、多層有機基板、セラミック基板、多層セラミック基板または集積回路チップからなるグループから選択されることを特徴とする、上

記(1)に記載の方法。

(10) 前記リフローはんだボールが前記デバイスの導電性フィーチャの上にあることを特徴とする、上記(1)に記載の方法。

(11) 前記導電性フィーチャ用の材料が、Au、Co、Cr、Cu、Fe、Ni、Ti、TiW、整相したCrとCu、およびそれらの合金からなるグループから選択されることを特徴とする、上記(10)に記載の方法。

(12) 前記導電性フィーチャが少なくとも1つの内部導電性フィーチャと電気的に接触することを特徴とする、上記(10)に記載の方法。

(13) 前記リフローはんだボールが、鉛とスズの合金から構成され、かつ前記合金が約2パーセントから約10パーセントのスズを含むことを特徴とする、上記(1)に記載の方法。

(14) 前記リフローはんだボールが、鉛とスズの合金から構成され、かつ前記合金が約98パーセントから約70パーセントの鉛を含むことを特徴とする、上記(1)に記載の方法。

(15) 蒸着、電気めっき、またははんだ注入方法からなるグループから選択した方法を使用して、前記リフローはんだボールを前記デバイス上に配置することを特徴とする、上記(1)に記載の方法。

(16) 高周波蒸着、電子ビーム蒸着、電気めっき、化学めっき、または注入方法からなるグループから選択した方法によって、前記低融点金属の少なくとも1つの層を前記リフローはんだボール上に付着することを特徴とする、上記(1)に記載の方法。

(17) 前記低融点金属キャップ用の前記低融点金属が、ビスマス、インジウム、スズまたはそれらの合金からなるグループから選択されることを特徴とする、上記(1)に記載の方法。

(18) 前記キャップ付きはんだボールの少なくとも一部が前記デバイス・キャリア上の導電性フィーチャに固定されることを特徴とする、上記(1)に記載の方法。

(19) 前記導電性フィーチャ用の材料が、Au、Co、Cr、Cu、Fe、Ni、Ta、Ti、TiW、整相したCrとCu、およびそれらの合金からなるグループから選択されることを特徴とする、上記(18)に記載の方法。

(20) 前記デバイス・キャリアが、有機回路キャリアまたはセラミック回路キャリアからなるグループから選択されることを特徴とする、上記(18)に記載の方法。

(21) 前記有機回路キャリアが、剛性有機回路キャリアまたはフレキシブル有機回路キャリアからなるグループから選択されることを特徴とする、上記(20)に記載の方法。

(22) 前記剛性有機回路キャリア用の材料が、エポキシ類からなるグループから選択されることを特徴とす

る、上記(21)に記載の方法。

(23) 前記低融点金属キャップが、前記はんだボールの露出面の約10パーセント～約90パーセントをキャッピングすること、好ましくは、前記はんだボールの露出面の約20パーセント～約80パーセントをキャッピングすること、さらに好ましくは、前記はんだボールの露出面の約30パーセント～約50パーセントをキャッピングすることを特徴とする、上記(1)に記載の方法。

(24) 前記低融点金属キャップが前記はんだボールを完全に密閉することを特徴とする、上記(1)に記載の方法。

(25) 前記デバイスが、ICチップ、コンデンサ、抵抗、回路キャリア・カード、電源または増幅デバイスからなるグループから選択されることを特徴とする、上記(1)に記載の方法。

(26) 前記低融点金属キャップの厚さが、前記はんだボールの体積の約5パーセント～約40パーセントの共融体積、好ましくは前記はんだボールの体積の約10パーセント～約30パーセントの共融体積を提供するように選択されることを特徴とする、上記(1)に記載の方法。

(27) 前記低融点金属キャップの平均厚さが約15マイクロメートル～約50マイクロメートルであることを特徴とする、上記(1)に記載の方法。

(28) 前記リフローはんだボールが、Pb、Bi、In、Sn、Ag、Au、またはそれらの合金からなるグループから選択されることを特徴とする、上記(1)に記載の方法。

(29) 最大リフロー温度が約183℃～約230℃であることを特徴とする、上記(1)に記載の方法。

(30) 前記リフローのステップを約150℃以上で約2分間～約5分間行うことを特徴とする、上記(1)に記載の方法。

(31) 最大温度の時間が約15秒～約75秒であることを特徴とする、上記(1)に記載の方法。

(32) 前記リフロー・ステップを、乾燥窒素、フォーミング・ガスまたは水素からなるグループから選択した環境内で実施することを特徴とする、上記(1)に記載の方法。

(33) 前記加熱が少なくとも1つの集束赤外線ランプによって行われることを特徴とする、上記(1)に記載の方法。

(34) デバイスを接合するステップが、(a) デバイスのはんだボールをデバイス・キャリアの絶縁材料内の

対応する開口と位置合せするステップと、(b) はんだフラックスによって生じる表面張力によってチップを適所に保持するステップと、(c) はんだをリフローしてチップをデバイス・キャリアに結合するステップと、

(d) チップを少なくとも1つのエポキシで被覆するステップとを含むことを特徴とする、上記(1)に記載の方法。

#### 【図面の簡単な説明】

【図1】 積層操作、および両面の回路形成が完了した後の従来の基板の断面図である。

【図2】 上面、底面、およびビア・ホールを感光性絶縁材料の少なくとも1つの層で被覆した後の、絶縁材料内の開口をフォトリソグラフィによって画定した図1の回路カードの断面図である。

【図3】 SMTパッドについて少なくとも1つの共融はんだ被覆を形成した後の回路カードの図である。

【図4】 低融点金属キャップ付きはんだボールを有するICチップが単一のステップで回路カードに直接接合された直接チップ実装モジュールを示す本発明の構造の断面図である。

【図5】 はんだボール上の低融点金属のキャップを有するICチップを回路カードに接合する前の拡大断面図である。

【図6】 はんだボール上の低融点金属のキャップを有するICチップを回路カードに固定した後の、図4のA-Aの拡大断面図である。

#### 【符号の説明】

10 ラミネート

12 開口

14 上面

16 底面

20 銅

22 絶縁材料

24 開口

25 回路カード

26 開口

30 ICチップ

32 内部金属配線

34 絶縁物

40 36 パッド

38 はんだボール

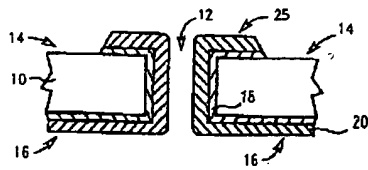
41 低融点金属キャップ

43 共融合金

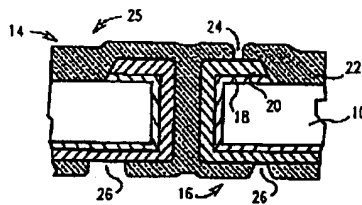
48 ボール制限メタラジ(BLM)

50 直接チップ実装モジュール(DCAM)

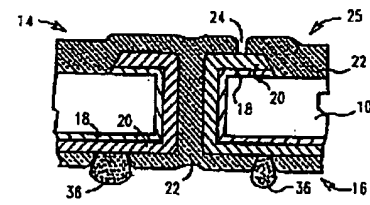
【図 1】



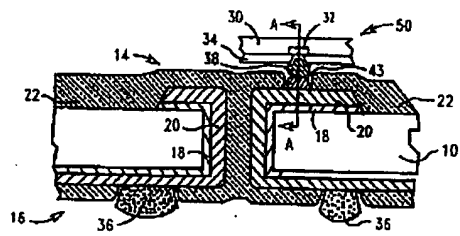
【図 2】



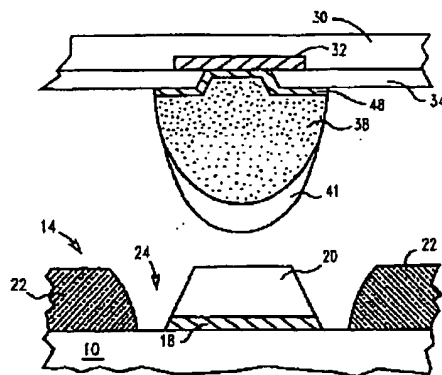
【図 3】



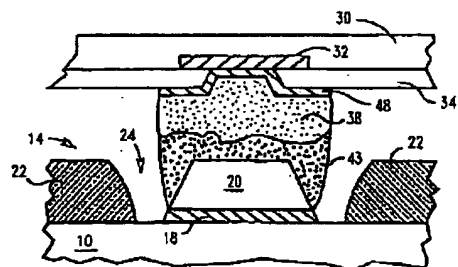
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 ケニス・マイケル・ファロン  
アメリカ合衆国13850 ニューヨーク州ヴ  
ェスタルサード・アベニュー 344

(72)発明者 ジーン・ジョーゼフ・ガウデンズィ  
アメリカ合衆国10578 ニューヨーク州パ  
ーディスオーク・リッジ・ロード 38